

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-347764
 (43)Date of publication of application : 15.12.2000

(51)Int.CI. G06F 1/10
 H03L 7/06
 H04L 7/033

(21)Application number : 11-160556
 (22)Date of filing : 08.06.1999

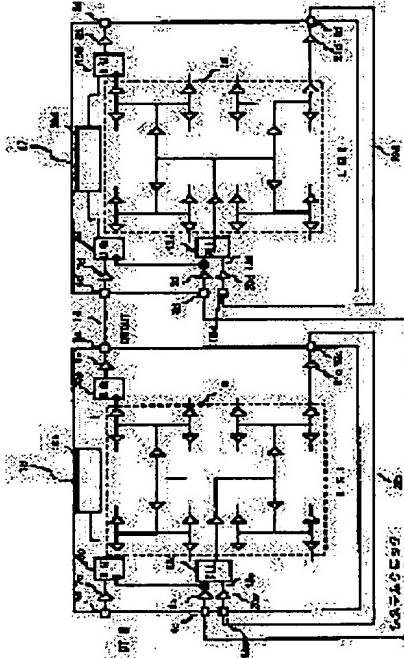
(71)Applicant : HITACHI LTD
 (72)Inventor : NOMURA HIROSHI
 KOSUGI NORITAKA
 TONOZUKA TAROU
 YOKOTA MITSUKUNI
 HIRANO KATSUNORI
 NAGASAKI FUMIHIKO

(54) METHOD FOR CONNECTING CIRCUIT BLOCK USING PLL AND METHOD FOR CONNECTING SEMICONDUCTOR INTEGRATED CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce the variation of delay fluctuations of LSI output data caused by LSI process variation, power supply voltage fluctuations, ambient temperature change or the like.

SOLUTION: A feedback path to a PLL inputting part consists of a clock distribution circuit 11, a PLL feedback clock output buffer 21, a PLL feedback loop wiring 22 and a PLL feedback clock input buffer 20, and meanwhile, a data transfer path consists of a data output buffer 8 which is synchronized with a clock outputted from the circuit 11 and outputs it to an LSI on the next stage and a data wiring 14 which transfers data to the LSI on the next stage.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-347764

(P2000-347764A)

(43)公開日 平成12年12月15日 (2000.12.15)

(51)Int.Cl.⁷
G 0 6 F 1/10
H 0 3 L 7/06
H 0 4 L 7/033

識別記号

F I
G 0 6 F 1/04
H 0 3 L 7/06
H 0 4 L 7/02

テマコード(参考)
3 3 0 A 5 B 0 7 9
A 5 J 1 0 6
B 5 K 0 4 7

審査請求 未請求 請求項の数 5 O L (全 8 頁)

(21)出願番号 特願平11-160556

(22)出願日 平成11年6月8日 (1999.6.8)

(71)出願人 000005108
株式会社日立製作所
東京都千代田区神田駿河台四丁目6番地
(72)発明者 野村 博
神奈川県横浜市戸塚区戸塚町216番地 株
式会社日立製作所通信システム事業本部内
(72)発明者 小杉 則貴
神奈川県横浜市戸塚区戸塚町216番地 株
式会社日立製作所通信システム事業本部内
(74)代理人 100075096
弁理士 作田 康夫

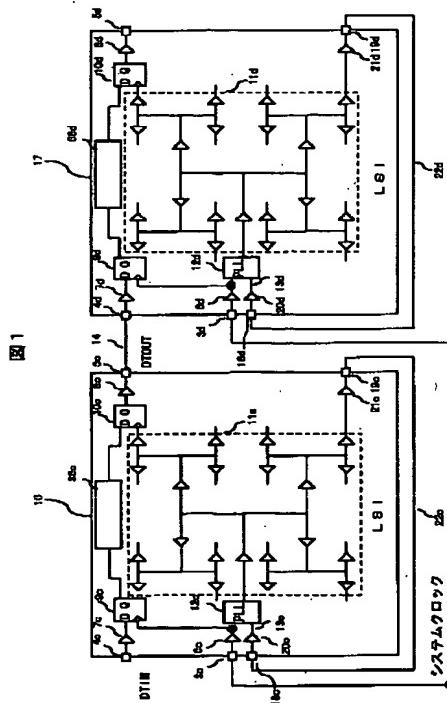
最終頁に続く

(54)【発明の名称】 PLLを用いた回路ブロック接続方法および半導体集積回路接続方法

(57)【要約】

【課題】同一クロックにて動作するLSI間のデータ転送に関して問題となる、LSIプロセスばらつき、電源電圧変動、および周囲温度変化等に起因するLSI出力データの遅延変動のばらつきを低減すること。

【解決手段】PLL入力部への帰還経路を、クロック分配回路11と、PLL帰還クロック出力バッファ21と、PLL帰還ループ配線22と、PLL帰還クロック入力バッファ20とで構成し、一方、データ伝達経路を、クロック分配回路11から出力されたクロックで同期し次段のLSIに出力するデータ出力バッファ8と、データを次段のLSIに伝達させるデータ配線14とで構成する。



【特許請求の範囲】

【請求項1】PLLにシステムクロックを入力し該PLLを用いて位相を調整するクロック供給回路を備えた複数の回路ブロックの接続方法において、

上記PLL出力から該PLL帰還クロック入力部への帰還経路を、上記PLL出力のクロックを分配するクロック分配回路と、上記クロック分配回路から出力されたPLL帰還クロックをバッファリングするPLL帰還クロック出力バッファと、上記PLL帰還クロックを帰還ループさせるPLL帰還ループ配線と、上記PLL帰還ループ配線を伝達してきた上記PLL帰還クロックを上記PLL帰還入力部に入力するPLL帰還クロック入力バッファとで構成し、

上記システムクロックで取り込んだデータを処理し次段の回路ブロックに出力する該データの伝達経路を、上記処理後のデータを上記クロック分配回路から出力されたクロックで同期し次段の回路ブロックに出力するデータ出力バッファと、上記データを上記次段の回路ブロックに伝達させるデータ配線とで構成したことを特徴とする回路ブロック接続方法。

【請求項2】一つの前記回路ブロックを一つの半導体集積回路で構成したことを特徴とする半導体集積回路接続方法。

【請求項3】前記PLL帰還ループ配線を前記半導体集積回路の外部に設定したことを特徴とする請求項2記載の半導体集積回路接続方法。

【請求項4】前記PLL帰還クロック入力バッファの遅延時間と前記PLLのシステムクロック入力バッファの遅延時間とを同じに設定し、前記PLL帰還クロック出力バッファの遅延時間と前記データ出力バッファの遅延時間とを同じに設定し、前期PLL帰還ループ配線の遅延時間と前期データ配線の遅延時間とを同じに設定したことを特徴とする請求項1ないし請求項3いずれかに記載の半導体集積回路接続方法。

【請求項5】前記PLL帰還クロック入力部への帰還経路に遅延回路を挿入したことを特徴とする請求項1ないし請求項4いずれかに記載の半導体集積回路接続方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は装置間及び装置内のデータ伝送において、回路ブロックや半導体集積回路（以下LSIという）相互間でのデータ転送に関し、特に同一クロックにて動作するLSIで問題となるLSIプロセスばらつき、電源電圧変動、周囲温度変化等の使用環境に起因する出力データの遅延変動（クロックスキュー）を低減するものである。これにより、データ転送時のタイミングマージンを増やし、高速伝送が可能とな

$$\Delta T1 = (Tpd1 + Tpd2 + Tpd3 + Tpd4) \dots \dots \dots \quad (数1)$$

【0007】になる。

【0008】また一般にLSIは、LSIプロセスばら

る。

【0002】

【従来の技術】従来より用いられている技術としては、図9に示すように、PLL（Phase Locked Loop）以下PLLとする）を用いたLSI間のクロックスキュー低減方法がある。各LSIに分配されたシステムクロック（CKIN）はクロック分配回路11aにより分岐して後段の各フリップフロップ等に供給される。

10 【0003】クロック分配回路11aを構成するバッファの段数や負荷数はLSI毎に異なるため、システムクロック（CKIN）入力から出力データ（DTOUT）までの遅延もそれぞれ異なる。そこで、PLL12aを各LSI1、LSI2に内蔵し、クロック分配回路11aをPLL12aの帰還ループ内に取り込むことで、その位相を調整し各LSI間のクロックスキューを低減することができる。

【0004】上記構成の一例は、例えば特開平08-321773号公報に掲載されている。ここでは、PLL帰還クロックをモニタできる端子と帰還ループ内に可変遅延回路を設けて、位相を調整する方法が開示されている。

【0005】

【発明が解決しようとする課題】図10に、PLL12aを内蔵したLSI1の具体的な回路構成を示す。なお、図10ではデータの伝達処理経路を一部省略している。LSI1のクロック入力端子3aよりPLL基準クロック15aとなるシステムクロック（CKIN）を入力する。PLLの出力信号はクロック分配回路11aにより分配され、各フリップフロップのクロックおよびPLL帰還クロック13aとして供給される。PLL12a出力からフリップフロップ入力クロックまでと、PLL12a出力からPLL帰還クロック13a入力までの遅延時間が同じであるとすれば、PLLは基準クロック15aとPLL帰還クロック13aの位相をPLL入力端子で合わせるので、基準クロック位相とフリップフロップ入力クロック位相は等しくなり、等価的にPLL12aとクロック分配回路11aの遅延時間はゼロとなる。システムクロック用入力バッファ6aの遅延時間を

40 T_{pd1} 、出力データ用フリップフロップ10aの遅延時間を T_{pd2} 、LSIの出力データ用出力バッファ8aの遅延時間を T_{pd3} 、またLSI間のデータ配線14の遅延時間を T_{pd4} とすると、システムクロック（CKIN）に対してLSI2入力4bまでのデータ（DTIN）遅延時間は、

【0006】

【数1】

つき、電源電圧変動、周囲温度変化等の使用環境により、おむね基準値の0.5~1.5倍で特性がばらつ

くため、図10に示すLSI2入力データ(DTIN)は ΔT_1 の0.5~1.5倍の遅延変動による不確定時間(不確定領域)を生じ、図11のような遅延変動が生じることになる。然るに、LSI相互間で正確にデータ転送をするためには、この遅延変動のばらつきが大きな問題となる。このばらつきにより、タイミングマージンは減少し、データ転送速度は制限されることになる。

【0009】本発明の目的は、上記の課題に対し比較的簡単な方法で出力データの遅延変動を低減し、調整作業を極力軽減することにある。

【0010】

【課題を解決するための手段】上記の課題を解決するために、PLLにシステムクロックを入力し該PLLを用いて位相を調整するクロック供給回路を備えた複数の回路ブロックの接続方法において、上記PLL出力から該PLL帰還クロック入力部への帰還経路を、上記PLL出力のクロックを分配するクロック分配回路と、上記クロック分配回路から出力されたPLL帰還クロックをバッファリングするPLL帰還クロック出力バッファと、上記PLL帰還クロックを帰還ループさせるPLL帰還ループ配線と、上記PLL帰還ループ配線を伝達してきた上記PLL帰還クロックを上記PLL帰還入力部に入力するPLL帰還クロック入力バッファとで構成し、上記システムクロックで取り込んだデータを処理し次段の回路ブロックに出力する該データの伝達経路を、上記処理後のデータを上記クロック分配回路から出力されたクロックで同期し次段の回路ブロックに出力するデータ出力バッファと、上記データを上記次段の回路ブロックに伝達させるデータ配線とで構成したことを特徴とする。

【0011】また、前述の回路ブロックを一つの半導体集積回路で構成したことを特徴とする。

【0012】また、前述の接続方法でPLL帰還ループ配線を半導体集積回路の外部に設定することを特徴とする。

【0013】また、前述の接続方法でPLL帰還クロック入力バッファの遅延時間とPLLのシステムクロック入力バッファの遅延時間とを同じに設定し、PLL帰還クロック出力バッファの遅延時間とデータ出力バッファの遅延時間とを同じに設定し、PLL帰還ループ配線の遅延時間とデータ配線の遅延時間とを同じに設定する。

【0014】また、前述の接続方法で帰還クロック入力部への帰還経路に遅延回路を挿入することを特徴とする。

【0015】

【発明の実施の形態】図1は、本発明の一実施例を示し

$$\Delta T_2 = (T_{pd1} + T_{pd2} + T_{pd3} + T_{pd4}) - (T_{pd5} + T_{pd6} + T_{pd7}) \dots \dots \dots \text{ (数2)}$$

【0018】と求まる。ここで、入力バッファ6cと入力バッファ20c、出力バッファ8cと出力バッファ21cにおいて、同一チップ内の同一バッファを使用すれば遅延時間はほぼ等しいので $T_{pd1} = T_{pd5}$ 、 $T_{pd3} =$

たものである。図中のLSI16とLSI17の2つのLSIがシステムクロック(CKIN)で動作する。LSI16の主な構成要素は、入力フリップフロップ9c、データ処理部36c、PLL12c、クロック入力バッファ6c、PLL帰還クロック入力バッファ20c、クロック分配回路11c、出力フリップフロップ10c、データ出力バッファ8c、PLL帰還クロック出力バッファ21cである。一方、LSI17の主な構成要素は、入力フリップフロップ9d、データ処理部36d、PLL12d、クロック入力バッファ6d、PLL帰還クロック入力バッファ20d、クロック分配回路11d、出力フリップフロップ10d、データ出力バッファ8d、PLL帰還クロック出力バッファ21dである。なお、この時、それぞれのデータ処理部はそれぞれのクロック分配回路で分配されたクロックで動作することは言うまでもない。以下に、LSI16の詳細について説明する。

【0016】図2は、図1のLSI16について詳細に説明したものである。なお、図2ではデータの伝達処理経路を一部省略している。以下、LSI16に関するクロックスキュー低減について説明する。同図においてLSIのクロック入力端子3cよりシステムクロック(CKIN)を入力する。このシステムクロック(CKIN)は入力バッファ6cを通過し、PLL12cの基準クロック15cとして供給される。PLL出力信号はクロック分配回路11cにより分岐され、各フリップフロップのクロックとして用いられる。LSIは内部でデータを処理した後、出力用フリップフロップ10c、出力バッファ8cを通過して、データ(DTOOUT)をLSI17に送出する。同時にPLL出力はクロック分配回路11c、出力バッファ21c、出力端子19c、LSI外部の帰還ループ配線22c、入力端子18c、入力バッファ20cより構成された帰還ループによりPLL帰還クロック13cとしてPLL12cに供給する。この時のシステムクロック(CKIN)に対するLSI17入力4dまでのデータ(DTIN)の遅延時間 ΔT_2 は、入力バッファ6cの遅延時間を T_{pd1} 、出力用フリップフロップ10cの遅延時間を T_{pd2} 、出力バッファ8cの遅延時間を T_{pd3} 、LSI間のデータ配線14の遅延時間を T_{pd4} 、また、入力バッファ20cの遅延時間を T_{pd5} 、出力バッファ21cの遅延時間を T_{pd6} 、PLL帰還ループ配線22cの遅延時間を T_{pd7} とする。

【0017】

【数2】

T_{pd6} であり、またLSI間のデータ配線14とPLL帰還ループ配線22cの遅延を等しくすれば $T_{pd4} = T_{pd7}$ となり、システムクロック(CKIN)に対する受信LSI17の入力4までのデータ(DTIN)の遅延

時間 ΔT_3 は、

【0019】

【数3】

$$\Delta T_3 = T_{pd2} \dots \dots \dots \quad (\text{数3})$$

【0020】とフリップフロップの遅延時間の項だけとなる。遅延時間 $\Delta T_3 (=T_{pd2})$ は従来技術の構成(図10)による遅延時間 $\Delta T_1 (=T_{pd1}+T_{pd2}+T_{pd3}+T_{pd4})$ に比べ $\Delta T_3 < \Delta T_1$ と小さな値となる。

【0021】その結果、図3に示すように使用環境による遅延変動幅(基準値の0.5~1.5倍程度)のばらつきである不確定領域を従来に比べて非常に小さくすることが可能となる。即ち、クロックスキューの要因となる項をPLL帰還ループ内に取り込むことで、その項はPLL位相制御機能により相殺することができ、使用環境によるクロックスキューを低減することが可能となる。

【0022】なお、各バッファの遅延時間をさらに同じようにするには、同一チップ上でバッファを構成する各単位セルを同一寸法で設計し、また、お互い近傍に配置し、配線長や配線幅を同一として配線状態を極力同じように配置する設計とすれば良い。また逆に、単位セルのパラメータを故意に変更させて、配線長や配線幅等の条件を変更して設計しても良い。またさらに、各LSIの基板への配置位置が決定すれば、データ配線長と、帰還ループ配線長がお互い依存して決定されることは言うまでもない。以上、述べたことは以下の説明についても同様に言えることである。

【0023】図4は、上記の回路構成による他の一実施例を示したものである。この実施例では、同図においてLSI入力バッファ6eと等価な遅延特性を持つ内部バッファ24e、LSI出力バッファ8eと等価な遅延特性を持つ内部バッファ25eおよびLSI間のデータ配線14の遅延分と等価な内部バッファ23eにより、上

$$\Delta T_4 = (T_{pd1} + T_{pd2} + T_{pd3} + T_{pd4} + T_{pd8}) - (T_{pd5} + T_{pd6} + T_{pd7}) \dots \dots \quad (\text{数4})$$

【0027】と求まる。ここで、LSI16の入力バッファ6cと17cおよび出力バッファ8cと21cに同じバッファを用いれば、 $T_{pd1}=T_{pd5}$ 、 $T_{pd3}=T_{pd6}$ となる。また帰還ループ配線22cとデータ配線14+クロック配線27を等長にすれば、 $T_{pd7}=T_{pd4}+T_{pd8}$ となることから、遅延時間 ΔT_5 は

【0028】

$$\Delta T_6 = (\Delta T_5 + T_{pd9} + T_{pd13}) - (T_{pd11} + T_{pd12}) \dots \dots \quad (\text{数5})$$

【0031】であり、入力バッファ6g、7gと内部バッファ24gおよび出力バッファ21gと内部バッファ25gがそれぞれ等価な遅延特性であると仮定すれば、 $T_{pd9}=T_{pd10}=T_{pd11}$ 、 $T_{pd12}=T_{pd13}$ となり、遅延時間 ΔT_7

【0032】

【数7】

$$\Delta T_7 = \Delta T_5 = T_{pd2} \dots \dots \quad (\text{数7})$$

【0033】と、入力用フリップフロップ9gの入力ま

記PLL帰還ループを構成する。この構成は図1の実施例に示す帰還回路をLSI内部に取り込んだ方式であり、同様の効果を得ることができる。

【0024】また、図5に示すように、装置の構成によつては、LSI26にのみシステムクロック(MCKIN)を供給し、LSI16の出力データはLSI26から供給されるクロック(CKIN)に同期させてLSI間でデータを転送する場合がある。

【0025】図6は、上記図5の装置構成における一実施例である。なお、図6ではデータの伝達処理経路を一部省略している。同図においてLSI16は図1に示した実施例のLSI16であり、LSI26は図4に示した実施例のLSI17fの構成を基にして、クロック出力端子29gを設けた構成となっている。LSI26では、システムクロック入力端子28gより入力したシステムクロック(MCKIN)は入力バッファ6gを通過し、PLLの基準クロックとして供給される。PLL出力信号はクロック分配回路11gにより分岐され、各フリップフロップのクロックとして用いられる。同時に入力バッファ6gと等価な遅延特性を持つ内部バッファ24gおよび出力バッファ21gと等価な遅延特性を持つ内部バッファ25gによりPLL内部帰還ループを構成し、PLLの帰還クロックとなる。また、LSI16のクロック(CKIN)として、出力バッファ21cを介して、クロック分配回路11cより出力(CKOUT)される。ここで、同図に示すように各素子の遅延時間を $T_{pd1} \sim T_{pd13}$ とすると、LSI26の出力クロック(CKOUT)に対するLSI26の入力データ(DTIN)の遅延時間 ΔT_4 は、前記実施例と同様の考え方をすると

【0026】

【数4】

$$\Delta T_5 = T_{pd2} \dots \dots \quad (\text{数5})$$

【0029】の項だけになる。更に、LSI26の入力用フリップフロップ9gにおけるクロックに対するデータの遅延時間 ΔT_6 は

【0030】

【数6】

$$\Delta T_7 = \Delta T_5 = T_{pd2} \dots \dots \quad (\text{数6})$$

でクロックスキューの低減効果が保存される。このように、本回路構成を適用することによりLSI26の出力クロック(CKIN)に対して遅延時間およびスキューの小さなデータ入力(DTIN)を得ることができため、高速なデータ転送が可能となる。

【0034】図7は上記の回路構成による出力データ位相の制御に関する一実施例である。同図においてPLL帰還ループに遅延回路30を挿入することでシステムクロック(CKIN)に対し、出力データ(DTOUT)の

遅延を任意に可変させることが可能である。これにより、LSI間の配線長にばらつきがあつても、送信LSIの出力データの位相を補正することができLSI間のデータ転送が可能となる。

【0035】また、本発明はプリント基板上においても応用することができる。図8はプリント基板上における一実施例である。プリント回路基板31はコネクタ32、受信用インターフェースIC33、送信用インターフェースIC34、クロック用PLL35およびデータ処理LSIより構成される。受信用インターフェースIC33および送信用インターフェースIC34は前記の図2に示した入力バッファ6c、20cおよび出力バッファ8c、21cに相当することから、クロック用PLL31の帰還ループ内にこれらを取り込むことで、プリント基板間のデータ転送においてもクロックスキュー低減効果を得ることができる。

【0036】

【発明の効果】本発明によれば、使用環境による遅延変動の要因となっている遅延要素を相殺することができ、特に高速データ転送において問題となるスキューを低減することができる。また、従来行っていた位相調整作業を低減できる。

【図面の簡単な説明】

【図1】本発明の実施例のPLL外部ループによるLSI間のデータ転送を説明する図である。

【図2】本発明の実施例のPLL外部ループによるクロックスキュー低減法の構成図である。

【図3】本発明の上記構成における出力データの遅延変動を説明するタイミングチャートである。

【図4】本発明の実施例のPLL内部ループバッファ挿入によるクロックスキュー低減法の構成図である。

【図5】本発明の実施例を用いたLSI間のデータ転送の他の例を説明する図である。

【図6】本発明の上記構成を実現する回路構成を説明する図である。

【図7】本発明の実施例を用いた出力データの遅延制御方法を説明する図である。

【図8】本発明の実施例をプリント基板上で実現する回路構成を説明する図である。

【図9】従来の同一クロックにおけるLSI間のデータ転送を説明する図である。

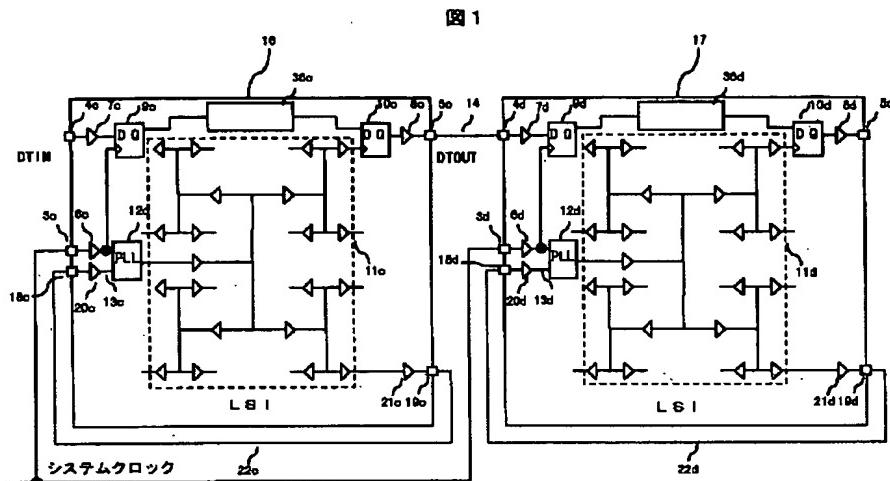
【図10】従来のPLLを用いたクロックスキュー低減法の構成図である。

【図11】従来構成における出力データの遅延変動を説明するタイミングチャートである。

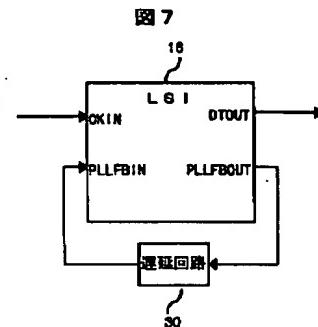
【符号の説明】

- 1、2…従来のLSI、
- 3a、3b、3c、3d、3e、3f…クロック入力端子、
- 4a、4b、4c、4d、4f、4g…データ入力端子、
- 5a、5b、5c、5d、5e、5f…データ出力端子、
- 6a、6b、6c、6d、6e、6f、6g…クロック入力バッファ、
- 7a、7b、7c、7d、7f、7g…データ入力バッファ、
- 8a、8b、8c、8d、8e、8f…データ出力バッファ、
- 9a、9b、9c、9d、9f、9g…入力フリップフロップ、
- 10a、10b、10c、10d、10e、10f…出力フリップフロップ、
- 11a、11b、11c、11d、11e、11f、11g…クロック分配回路、
- 12a、12b、12c、12d、12e、12f、12g…PLL、
- 13a、13b、13c、13d、13e、13f…PLL帰還クロック、
- 14…データ配線、
- 15a、15c…PLL基準クロック、
- 16、16e、17、17f…本発明のLSI、
- 18c、18d…PLL帰還クロック入力端子、
- 19c、19d…PLL帰還クロック出力端子、
- 20c、20d…PLL帰還クロック入力バッファ、
- 21c、21d、g…PLL帰還クロック出力バッファ、
- 22c、22d…PLL帰還ループ配線、
- 23e、23f…データ配線用内部遅延バッファ、
- 24e、24f、24g…入力用内部遅延バッファ、
- 25e、25f、25g…出力用内部遅延バッファ、
- 26…本発明のクロック出力型受信LSI、
- 27…LSI間のクロック配線、
- 28g…システムクロック入力端子、
- 29g…LSIクロック出力端子、
- 30…遅延回路、
- 31…プリント回路基板、
- 32、36…プリント基板用コネクタ、
- 33…受信用インターフェースIC、
- 34…送信用インターフェースIC、
- 35…クロック用PLL
- 36a、36b、36c、36d…データ処理部。

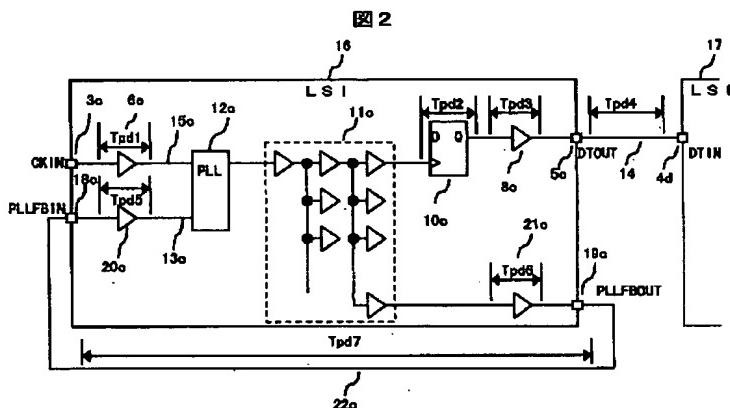
【図1】



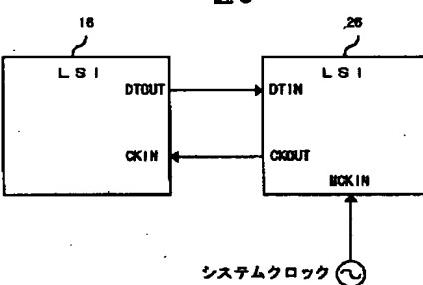
【図7】



【図2】



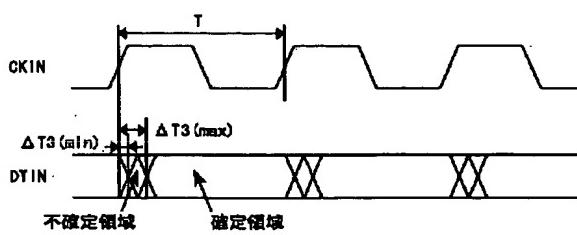
【図5】



〔図3〕

【図 10】

3

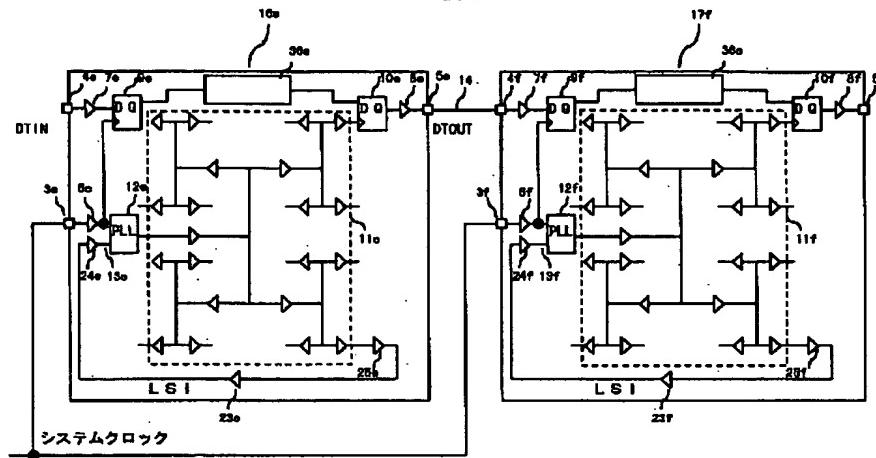


The diagram illustrates a PLL-based frequency synthesis path. The input $OKIN$ is connected to the VCO through a buffer and a switch labeled $Tpd1$. The VCO output is fed into a PLL and a D flip-flop. The PLL output is connected to a series of four buffers. The outputs of these buffers are connected to the D and Q inputs of the D flip-flop. The Q output of the D flip-flop is connected to a switch labeled $Tpd2$, which is connected to the VCO . The D input of the D flip-flop is connected to a switch labeled $TpdS$, which is also connected to the VCO . The Q output of the D flip-flop is labeled $5a$. The D input is labeled $10a$. The PLL has a feedback line labeled $13a$ and a local oscillator output labeled $12a$. The VCO has a local oscillator output labeled $8a$.

圖 10

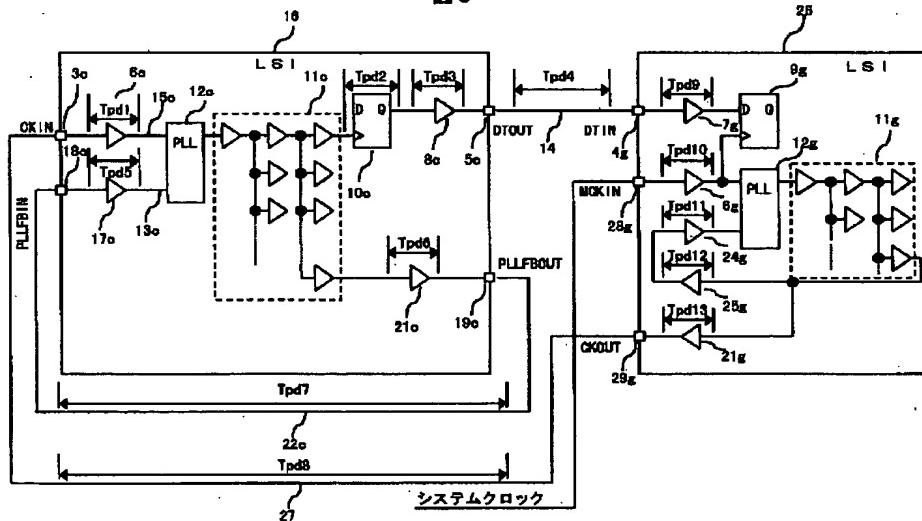
【図4】

図4



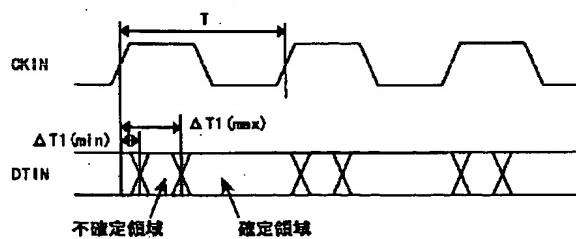
【図6】

図6

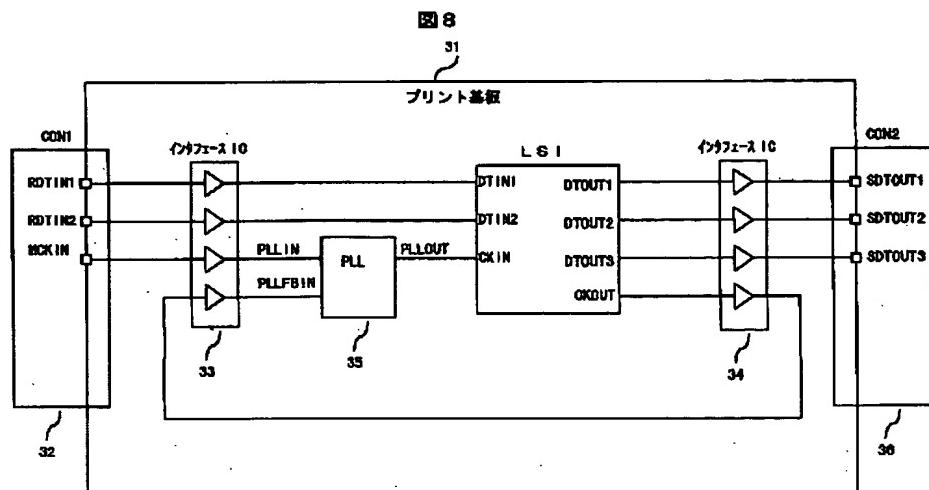


【図11】

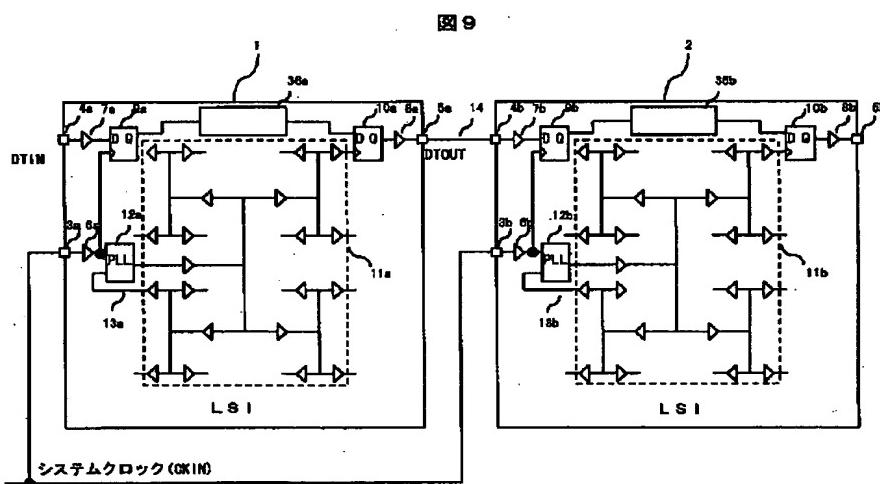
図11



【図8】



[图 9]



フロントページの続き

(72) 発明者 土濃塚 太郎
神奈川県横浜市戸塚区戸塚町216番地 株式会社日立製作所通信システム事業本部内
(72) 発明者 横田 光邦
神奈川県横浜市戸塚区戸塚町216番地 株式会社日立製作所通信システム事業本部内
(72) 発明者 平野 克典
神奈川県横浜市戸塚区吉田町292番号 株式会社日立製作所生産技術研究所内

(72)発明者 長崎 文彦
神奈川県横浜市戸塚区戸塚町216番地 株
式会社日立製作所通信システム事業本部内
Fターム(参考) 5B079 BA20 BB10 BC03 CC14 DD08
DD13 DD20
5J106 AA04 DD05 DD11 FF07 KK13
KK14
5K047 AA06 AA08 GG03 GG09 GG11
MM36 MM46 MM47